

**MANUFACTURE OF SEMICONDUCTOR DEVICE**

Patent Number: JP6045618  
Publication date: 1994-02-18  
Inventor(s): TANIZAWA YUKIHIKO  
Applicant(s):: NIPPONDENSO CO LTD  
Requested Patent: ☐ JP6045618  
Application Number: JP19930094667 19930421  
Priority Number(s):  
IPC Classification: H01L29/84 ; G01L9/04 ; H01L21/3205  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PURPOSE:** To provide the manufacturing method, of a semiconductor device, wherein the semiconductor device can be worked to be thin without making a chip large-sized.

**CONSTITUTION:** An n<-> epitaxial layer 102 is formed on a p<-> single-crystal silicon substrate (wafer) 101, and an integrated circuit part provided with an aluminum interconnection 121 for an isolation high potential is formed in the n<-> epitaxial layer 102. In addition, an aluminum interconnection 128 used to supply an electrochemical etching potential is formed in a scribing-line region in the n<-> epitaxial layer 102, the aluminum interconnection 128 and the aluminum interconnection 121 are connected via an n<+> diffused layer 127 used to supply an electrochemical etching potential, a prescribed region on the silicon substrate (wafer) 101 is removed by an electrochemical etching operation using the aluminum interconnection 128, and a diaphragm part by the epitaxial layer 102 is formed. Lastly, the scribing region is cut to form a chip, and an integrated pressure sensor is manufactured.

---

Data supplied from the esp@cenet database - I2

DN支離 - 部

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-45618

(43)公開日 平成6年(1994)2月18日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	FI	技術表示箇所
H 0 1 L 29/84	B	9278-4M		
G 0 1 L 9/04	1 0 1	9009-2F		
H 0 1 L 21/3205		7514-4M	H 0 1 L 21/ 88	Z

審査請求 未請求 請求項の数2(全 8 頁)

(21)出願番号 特願平5-94667

(22)出願日 平成5年(1993)4月21日

(31)優先権主張番号 特願平4-135361

(32)優先日 平4(1992)5月27日

(33)優先権主張国 日本(JP)

(71)出願人 000004260

日本電装株式会社

愛知県刈谷市昭和町1丁目1番地

(72)発明者 谷澤 幸彦

愛知県刈谷市昭和町1丁目1番地 日本電  
装 株式会社内

(74)代理人 弁理士 恩田 博宣

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 チップの大型化を招くことなく薄肉化加工を施すことができる半導体装置の製造方法を提供することにある。

【構成】 p-単結晶シリコン基板(ウェハ)101上にn-エピタキシャル層102を形成し、n-エピタキシャル層102にアイソレーション高電位用アルミ配線121を有する集積回路部を形成する。さらに、n-エピタキシャル層102におけるスクライプライン領域に電気化学エッチング電位供給用アルミ配線128を形成するとともに、そのアルミ配線128とアルミ配線121とを電気化学エッチング電位供給用n+拡散層127を介して接続し、アルミ配線128を用いた電気化学エッチングによりシリコン基板(ウェハ)101の所定領域を除去してn-エピタキシャル層102によるダイアフラム部106を形成する。最後に、スクライプライン領域を裁断してチップ化し、集積化圧力センサを製造する。

【0009】又、図1に示すように、チップ周辺部であるダイアフラム部106の周囲には、集積回路部108が形成され、集積回路部108にて歪ゲージ107によるホイートストンブリッジの出力信号の増幅や温度補償等の信号処理が施される。集積回路部108は図4のバイポーラnpnトランジスタや図5のベース抵抗や図6のキャパシタや図7の薄膜抵抗等で構成されている。

【0010】図4のバイポーラnpnトランジスタは、n-エピタキシャル層102においてn+コレクタ領域109、p+ベース領域110、n+エミッタ領域111を形成したものである。図5のベース抵抗は、n-エピタキシャル層102にp+ベース抵抗領域112を形成し、アルミ配線113で接続したものである。図6のキャパシタは、SiO<sub>2</sub>膜114をキャパシタ上部アルミ電極115とキャパシタ下部電極(n+拡散層)116で挟み込んだ構造をなしている。図7の薄膜抵抗は、SiO<sub>2</sub>膜117上にCrSi等の薄膜抵抗体118を形成して、TiW等のバリアメタル119を介してアルミ配線120と接続したものである。

【0011】又、集積回路部108は単電源動作するようになっており、図1にシリコンチップ105の表面での電位供給用のアルミ配線パターンを示す。つまり、集積回路部108にはアイソレーション高電位用アルミ配線121とアイソレーション低電位用アルミ配線122が配置され、アイソレーション高電位用アルミ配線121が電源ラインに、アイソレーション低電位用アルミ配線122がグランドラインに直接接続されている。尚、この配線パターン上での四角形部分123、124は、AuやAl等のワイヤとのボンディング用パッド部である。

【0012】本実施例の集積化圧力センサ（一般にバイポーラICでも同様）においては、素子間を絶縁するために、図2、4、5、6に示すp+アイソレーション領域125を設け、この領域125にチップ内のアイソレーション低電位用アルミ配線122を接続し、pn接合に逆バイアスをかけている。又、図5のp+ベース抵抗領域112や図2の歪ゲージ107等の拡散によってつくられた抵抗は、p+アイソレーション領域125で囲まれた領域（抵抗島という）に複数配置することができ、このとき各抵抗間の絶縁を行なうために、さらに抵抗島にチップ内のアイソレーション高電位用アルミ配線121を接続している。即ち、図2のn-エピタキシャル層102にオーミックコンタクト用n+拡散層126を設け、このn+拡散層126にアイソレーション高電位用アルミ配線121を接続している。つまり、ダイアフラム部106上は、1つの抵抗島になっており、通常の製品としての動作時には、オーミックコンタクト用n+拡散層126とアイソレーション高電位用アルミ配線121によって絶縁分離されている。

【0013】尚、アイソレーション用の配線は、通常、

電源ラインやグランドラインに直接接続されるが、もとと多くの電流を流すための配線ではないので、直接、電源ラインやグランドラインに接続せずに抵抗を介して接続されていてもよい。

【0014】次に、このように構成された集積化圧力センサの製造方法を図8～11を用いて説明する。図8に示すように、p-単結晶シリコン基板（ウェハ）101を用意する。このシリコン基板（ウェハ）101は、結晶軸が(110)面あるいは(100)面に数度の傾き（オフアングル）を付けたものを用いる。そして、シリコン基板（ウェハ）101の上面にn-エピタキシャル層102を形成する。

【0015】引き続き、図9に示すように、p+アイソレーション領域125を形成して各素子間をp+アイソレーション領域125によって絶縁分離する。さらに、歪ゲージ(p+拡散抵抗層)107、オーミックコンタクト用n+拡散層126、電気化学エッチング電位供給用n+拡散層127を形成する。この電気化学エッチング電位供給用n+拡散層127はチップ領域とスクライブライン領域にわたって延設されている（図1参照）。

【0016】同様に、これらを形成する合間にチップ周辺の集積回路部108における図4～図7の各素子を形成する。この際、図5のベース抵抗領域112は図4のトランジスタのベース拡散工程にて同時に形成される。又、図6のキャパシタ下部電極(n+拡散層)116はトランジスタのエミッタ拡散工程にて同時に形成される。これらの素子形成工程内においてシリコン表面にSiO<sub>2</sub>層129も形成される。さらに、図7の薄膜抵抗体118はCrSiやTiW等の蒸着法やスパッタリング法等で形成される。

【0017】そして、図10に示すように、SiO<sub>2</sub>層129上に、アイソレーション高電位用アルミ配線121及びアイソレーション低電位用アルミ配線122を形成する。又、スクライブライン領域上には、電気化学エッチング電位供給用アルミ配線128およびその他のアルミ配線をも同時に形成する。このとき、電気化学エッチング電位供給用アルミ配線128とチップ内のアイソレーション高電位用アルミ配線121とが電気化学エッチング電位供給用n+拡散層127を介して電氣的に接続される。このように電気化学エッチング電位供給用n+拡散層127を用いて電気接続することにより、電気化学エッチング電位供給用n+拡散層127の上にアルミ配線122を通すことが可能となる。

【0018】引き続き、SiO<sub>2</sub>膜やSiNx膜によるパッシベーション膜130をCVD法やスパッタリング法等によって形成する。次に、図11に示すように、p-型単結晶シリコン基板（ウェハ）101の裏面にSiNx膜131を形成するとともにフォトエッチングにより所定のパターンニングを行う。

【0019】さらに、KOH水溶液等でシリコン基板

り、これが防止される。特に、周辺回路133のインピーダンスが小さかったり、周辺回路133とアイソレーション高電位用アルミ配線121とを結線する場合にリーク電流防止用ダイオード134が必要となる。

【0029】又、図13において、アイソレーション高電位用アルミ配線121の途中にリーク電流防止用ダイオード135を配置している。これは、アイソレーション高電位がアイソレーション高電位用アルミ配線121に印加されるので、その高電位がオーミックコンタクト用n+拡散層126のみならず電気化学エッチング電位供給用n+拡散層127にも印加される。すると、チップ端面のpn接合露出部Dでリークが発生しようとする。しかしながら、リーク電流防止用ダイオード135によりそのリークが防止される。又、リーク電流防止用ダイオード135により、ウェハ状態において各チップの特性試験を行う際には、電気化学エッチング電位供給用n+拡散層127を介して全てのチップが短絡してしまうのも防止できる。

【0030】又、図13に対し図14に示すように、周辺回路133とp+アイソレーション領域125とをアイソレーション低電位用アルミ配線122で結線するが、周辺回路133とアイソレーション高電位用アルミ配線121とは結線しなくてもよい。図14が使用できる場合としては、n-エピタキシャル層102に歪ゲージ(p+拡散抵抗層)107を形成する際に、抵抗間分離を行うためにオーミックコンタクト用n+拡散層126への高電位印加することが、図13では必要であった。しかしながら、各歪ゲージ(p+拡散抵抗層)107が別々のn-エピタキシャル層102(島)にあれば、この高電位印加は不要であり、図14の構成でもよ

いこととなる。尚、図 14 におけるリーク電流防止用ダイオード 135 の働きは図 13 で説明したことと同一である。

【 0 0 3 1 】

【発明の効果】以上詳述したようにこの発明によれば、チップの大型化を招くことなく薄肉化加工を施すことができる優れた効果を発揮する。

【図面の簡単な説明】

【図 1】 実施例の集積化圧力センサの平面図である。

【図2】図1のA-A断面を示す図である。

【図3】 ウェハの平面図である。

【図4】素子の断面図である。

【図5】素子の断面図である。

【図6】素子の断面図である。

【図7】素子の断面図である。

【図8】センサの製造工程を示す図である。

【図9】センサの製造工程を示す図である。

【図10】センサの製造工程を示す図である。

【図 1 1】 センサの製造工程を示す図である。

【図 12】別例を示す断面図である。

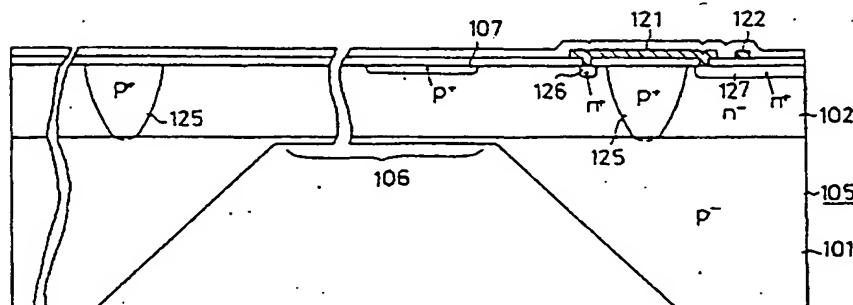
【図 13】別例を示す断面図である。

【図 14】別例を示す断面図である。

【符号の説明】

- |     |                      |
|-----|----------------------|
| 101 | p- 単結晶シリコン基板         |
| 102 | 半導体層としてのn- エピタキシャル層  |
| 106 | ダイアフラム部 (薄肉部)        |
| 108 | 集積回路部                |
| 121 | アイソレーション高電位用アルミ配線    |
| 127 | 電気化学エッチング電位供給用n+ 拡散層 |
| 128 | 電気化学エッチング電位供給用アルミ配線  |

【图2】



【図 3】

